

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-048817

(43)Date of publication of application : 18.02.1992

(51)Int.Cl.

H03K 19/0175

G11C 11/416

G11C 11/419

(21)Application number : 02-156645

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

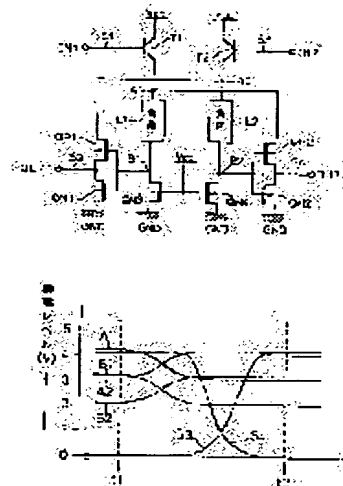
(22)Date of filing : 16.06.1990

(72)Inventor : FURUKAWA CHIAKI

(54) LEVEL CONVERSION CIRCUIT**(57)Abstract:**

PURPOSE: To simplify the circuit constitution, to reduce power consumption and to decrease a layout area by having only to provide a circuit shifting the input signal of a very small amplitude and a CMOS inverter in response to an output signal to apply CMOS level conversion.

CONSTITUTION: Components of a CMOS inverter, that is, n-channel transistors(TRs) QN1, QN2 are turned on/off in response to the level of an input signal entering gates, that is, the signal of nodes B1, B2 after level shift. On the other hand, the potential difference between the gate-source of p-channel MOS TRs QP1, QP2 of the CMOS inverter at the time of turning on is as large as nearly 2V, and conversely said difference is almost 0V at the time of turning off. Thus, the level conversion circuits as a whole acts like a conventional CMOS inverter. As a result, the level of an input signal with a very small amplitude is converted into a CMOS level at high speed with comparatively low power consumption without increasing the layout area.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-48817

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月18日

H 03 K 19/0175
G 11 C 11/416
11/419

8941-5J H 03 K 19/00 1 0 1 A
7323-5L G 11 C 11/34 3 1 1
7323-5L 3 3 1

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 レベル変換回路

⑮ 特 願 平2-156645

⑯ 出 願 平2(1990)6月16日

⑰ 発 明 者 古 川 千 秋 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
エスアイ株式会社内

⑱ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑲ 出 願 人 富士通ヴィエルエスアイ株式会社 愛知県春日井市高蔵寺町2丁目1844番2

⑳ 代 理 人 弁理士 青 木 朗 外4名

明 細 書

1. 発明の名称

レベル変換回路

2. 特許請求の範囲

入力信号(S1, S2)のレベルを所定レベルだけ低下させるレベルシフト回路(T1, L1; T2, L2)と、

該レベルシフト回路の出力信号にตอบสนองするCMOSインバータ(QP1, QN1; QP2, QN2)とを具備し、

該CMOSインバータのpチャネルMOSトランジスタ(QP1, QP2)のソース側を前記入力信号と逆論理のレベルの信号線に接続し、

前記CMOSインバータをオン・オフ動作させてそのドレイン側(OUT1, OUT2)よりCMOSレベルの信号(S3, S4)を取り出すようにしたことを特徴とするレベル変換回路。

3. 発明の詳細な説明

(概要)

レベル変換回路、特に、振幅の微小な信号(例えば半導体メモリにおいてビット線に現れるECLレベルの信号)をCMOSレベルに変換する回

路の構成に関し、

振幅の微小な信号レベルを高速にCMOSレベルに変換すると共に、消費電力の低減と回路規模の縮小を図ることを目的とし、

入力信号のレベルを所定レベルだけ低下させるレベルシフト回路と、該レベルシフト回路の出力信号にตอบสนองするCMOSインバータとを具備し、該CMOSインバータのpチャネルMOSトランジスタのソース側を前記入力信号と逆論理のレベルの信号線に接続し、前記CMOSインバータをオン・オフ動作させてそのドレイン側よりCMOSレベルの信号を取り出すように構成する。

[産業上の利用分野]

本発明は、レベル変換回路に関し、特に、振幅の微小な信号(例えば半導体メモリにおいてビット線に現れるECLレベルの信号)をCMOSレベルに変換する回路の構成に関する。

〔従来の技術、および発明が解決しようとする課題〕

近年、LSIに対する高速化の要求が一層高まってきている。そのため、LSI内部で比較的動作スピードが損なわれるCMOSレベル変換部において高速化を達成できるような回路構成が要望されている。

上記CMOSレベル変換部を有する回路構成の一例として、例えば半導体メモリにおけるセンスアンプ回路がある。従来のCMOSレベル変換では、ビット線に現れるECLレベルの微小信号をセンスアンプに何段も通すことにより、上記CMOSレベルの信号を得るようにしている。

ところがこの方式では、信号が複数のセンスアンプを通過することにより信号伝搬遅延が生じ、そのために所望の高速動作を実現できず、また、該センスアンプ自体のレイアウト面積および消費電力が増大するという問題点がある。そのため、最近の高速化および低消費電力化に対する要求の高まりを考慮すると、上記従来技術ではその要求

に十分応えることが困難になってきている。

本発明は、かかる従来技術における課題に鑑み創作されたもので、振幅の微小な信号レベルを高速にCMOSレベルに変換すると共に、消費電力の低減と回路規模の縮小を図ることができるレベル変換回路を提供することを目的としている。

〔課題を解決するための手段〕

上記課題を解決するため、本発明によれば、入力信号のレベルを所定レベルだけ低下させるレベルシフト回路と、該レベルシフト回路の出力信号に応答するCMOSインバータとを具備し、該CMOSインバータのpチャネルMOSトランジスタのソース側を前記入力信号と逆論理のレベルの信号線に接続し、前記CMOSインバータをオン・オフ動作させてそのドレイン側よりCMOSレベルの信号を取り出すようにしたことを特徴とするレベル変換回路が提供される。

〔作用〕

入力信号のレベルが論理的に“L”レベルの時、CMOSインバータのpチャネルMOSトランジスタのゲートにはレベルシフト後の“L”レベルの信号が入力され、この時、そのソース側には入力信号と逆論理のレベル（すなわち“H”レベル）の信号が印加されているので、そのゲート・ソース間の電位差が相対的に大きくなり、該pチャネルMOSトランジスタはオンする。逆に、入力信号のレベルが論理的に“H”レベルの時、pチャネルMOSトランジスタのゲート・ソース間の電位差は殆ど無くなり、該トランジスタはカットオフする。一方、CMOSインバータのnチャネルMOSトランジスタは、レベルシフト後の入力信号のレベルに応じてオン・オフする。

従って、通常のCMOSインバータと同じような動作を行い、出力もCMOSレベルに速やかに増幅（変換）される。

また、従来形に見られたような複数段のセンスアンプを用いることなく、比較的簡易な構成でC

MOSレベル変換を行っているの、消費電力の低減と回路規模の縮小に寄与する。

なお、本発明の他の構成上の特徴および作用の詳細については、添付図面を参照しつつ以下に記述される実施例を用いて説明する。

〔実施例〕

第1図には本発明の一実施例としてのレベル変換回路の構成が示される。

同図において、IN1, IN2 は入力端子を示し、該入力端子にそれぞれ振幅の微小な互いに相補の入力信号S1, S2(本実施例ではECLレベルの信号)が入力される。入力端子IN1, IN2 はそれぞれnpn型バイポーラトランジスタT1, T2のベースに接続され、該トランジスタの各コレクタは電源ラインVccに接続されている。トランジスタT1, T2のエミッタは、それぞれダイオードやバイポーラトランジスタ等で構成された負荷L1, L2を介してnチャネルMOSトランジスタQN3, QN4の各ドレインに接続されている。トランジスタQN3, QN4の各

ソースはグラウンドラインGNDに接続され、各ゲートは電源ラインVccに接続されている。

トランジスタQN3, QN4は定電流源を構成し、入力信号S1, S2がそれぞれトランジスタT1, T2のベースに印加された時に電源ラインVccからトランジスタT1, T2を介して負荷L1, L2にそれぞれ一定電流を流す機能を有している。これによって各負荷の入力端(それぞれノードA1, A2)と出力端(それぞれノードB1, B2)の間に、当該負荷における電圧降下の分に相当する電位差(本実施例では1V程度)が生じる。

負荷L1の出力端(ノードB1)は、CMOSインバータを構成するpチャネルMOSトランジスタQP1およびnチャネルMOSトランジスタQN1の各ゲートに接続されている。CMOSインバータのpチャネルMOSトランジスタQP1のソースは負荷L2の入力端(ノードA2)に接続され、nチャネルMOSトランジスタQN1のソースはグラウンドラインGNDに接続されている。同様に、負荷L2の出力端(ノードB2)はCMOSインバータを構成

するpチャネルMOSトランジスタQP2およびnチャネルMOSトランジスタQN2の各ゲートに接続され、該pチャネルMOSトランジスタQP2のソースは負荷L1の入力端(ノードA1)に接続され、nチャネルMOSトランジスタQN2のソースはグラウンドラインGNDに接続されている。

CMOSインバータQP1, QN1およびQP2, QN2の出力端(各トランジスタのドレイン)はそれぞれ出力端子OUT1, OUT2に接続され、該出力端子からそれぞれCMOSレベルの出力信号S3, S4が取り出される。

本実施例のレベル変換回路は、例えば第2図に一例として示されるように、半導体メモリにおいてビット線上に現れる振幅の微小な信号を増幅するのに用いられる。

この場合、相補ビット線BLj, BLXjのレベル差は微小であるため、この微小振幅の信号を入力端子IN1, IN2に直接入力しても、インバータQP1, QN1およびQP2, QN2は受けられない。そのため、ビット線電位の振幅を1V程度に増幅してから入力端

子IN1, IN2に接続する必要がある。

そこで図示の構成では、相補ビット線BLj, BLXj上の信号をECL構成の1対のnpn型バイポーラトランジスタDT1, DT2のベースに入力し、該トランジスタの各コレクタをそれぞれ抵抗器R1, R2を介して電源ラインVccに接続し、また共通エミッタを電流源としてのnチャネルMOSトランジスタQを介して電源ラインVss(GND)に接続し、トランジスタDT1, DT2の各コレクタ側にそれぞれ入力端子IN1, IN2を接続するようにしている。これによって、どの位置のメモリセルから読み出されたデータでも、該データに応じた相補ビット線間の電位差を正確にECLレベルの信号として本実施例回路の入力端子IN1, IN2に供給することができる。

次に、本実施例のレベル変換回路の動作について第3図の信号波形図を参照しながら説明する。

まず、ECLレベルの入力信号S1およびS2のレベル差を1V程度とする。このECLレベルの信号S1, S2がそれぞれトランジスタT1, T2のベース

に印加されると、定電流源を構成するトランジスタQN3, QN4のオンにより、各ブランチにはそれぞれ電源ラインVccからトランジスタT1, T2、負荷L1, L2およびトランジスタQN3, QN4を介してグラウンドラインGNDに一定電流が流れる。その結果、ノードA1(A2)のレベルは、トランジスタT1(T2)のベース・エミッタ間電圧だけ入力信号S1(S2)のレベルよりも低下し、さらにノードB1(B2)のレベルは、負荷L1(L2)による電圧降下の分だけノードA1(A2)のレベルよりも低下する。このレベルのシフト量は、トランジスタQN3, QN4または負荷L1, L2の大きさに応じて変えることができる。

今仮に、上記のようにして確定された各ノードにおけるレベルが、それぞれ

ノードA1→"H"レベル(4V程度)、

ノードA2→"L"レベル(3V程度)、

ノードB1→"H"レベル(3V程度)、

ノードB2→"L"レベル(2V程度)、

とする(t₁の時点)。

この時点で、ノードB2の"L"レベル(2V程度)

の信号がCMOSインバータ(QP2, QN2)のゲートに印加されると、pチャネルMOSトランジスタQP2のソースにはノードA1の電位(4V程度)が印加されているので、そのゲート・ソース間には-2V程度の電圧が加わり、pチャネルMOSトランジスタQP2はオンする。この時、nチャネルMOSトランジスタQN2はノードB2の"L"レベルの信号によりオフ状態となっているので、当該CMOSインバータの出力信号S4はCMOSレベルで"H"レベルを呈する。

一方、ノードB1の"H"レベル(3V程度)の信号がCMOSインバータ(QP1, QN1)のゲートに印加されると、pチャネルMOSトランジスタQP1のソースにはノードA2の電位(3V程度)が印加されているので、そのゲート・ソース間の電位差はほぼ0Vであり、pチャネルMOSトランジスタQP1はカットオフする。この時、nチャネルMOSトランジスタQN1はノードB1の"H"レベルの信号によりオン状態となるので、当該CMOSインバータの出力信号S3はCMOSレベルで"L"レ

ベルを呈する。

この状態でECL入力信号S1, S2の論理レベルが反転すると、それに応じて各ノードの論理レベルも反転し、各CMOSインバータQP1, QN1およびQP2, QN2は、上記動作と逆の論理動作を行い、各出力信号S3, S4のCMOS論理レベルを速やかに反転させる(t_2 の時点)。

このように本実施例の回路構成によれば、CMOSインバータのnチャネルMOSトランジスタQN1, QN2は、そのゲートに入る入力信号(すなわちレベルシフト後のノードB1, B2の信号)のレベルに応じてオン・オフし、一方、CMOSインバータのpチャネルMOSトランジスタQP1, QP2は、オン時にはそのゲート・ソース間の電位差が2V程度と大きくなり、逆にオフ時にはその電位差がほぼ0Vとなる。

従って、本実施例のレベル変換回路は全体として、通常のCMOSインバータと同じような動作を行うことができる。その結果、出力はCMOSレベルに速やかに増幅(変換)される。

また、半導体メモリに適用する場合、従来形ではECLレベルの微小信号をセンスアンプに何段も通すことによりCMOSレベル変換を行っていたものが、本実施例によれば、微小振幅の入力信号をシフトさせる回路とその出力信号にตอบสนองするCMOSインバータとを備えるだけでCMOSレベル変換を実現できるので、従来形に比して回路構成が簡素化され、それによって消費電力の低減とレイアウト面積の縮小を図ることができる。

なお、上述した実施例では半導体メモリにおけるECLレベルの入力信号を例にとって説明したが、本発明のレベル変換回路はその適用例に限定されない。要は、振幅の微小な入力信号のレベルをCMOSレベルに変換する必要がある回路部分であれば、本発明が同様に適用され得ることは明らかであろう。

[発明の効果]

以上説明したように本発明のレベル変換回路によれば、レイアウト面積を増大させることなく、

比較的低消費電力で、振幅の微小な入力信号のレベルを高速にCMOSレベルに変換することができ

4. 図面の簡単な説明

第1図は本発明の一実施例としてのレベル変換回路の構成を示す回路図、

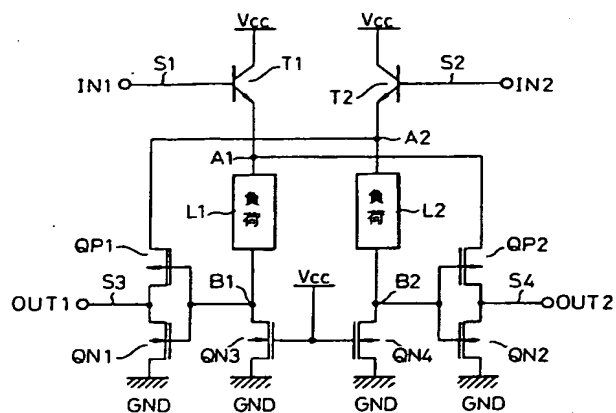
第2図は第1図回路が適用される構成例を示す図、

第3図は第1図回路の動作を説明するための信号波形図、

である。

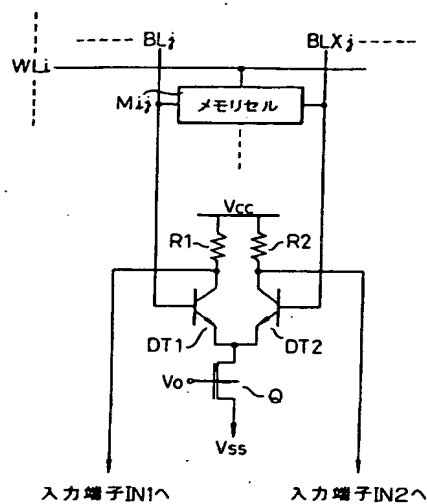
(符号の説明)

QP1, QP2... pチャネルMOSトランジスタ、
QN1~QN4... nチャネルMOSトランジスタ、
T1, T2... n p n型バイポーラトランジスタ、
L1, L2... 負荷、
OUT1, OUT2... 出力端子、IN1, IN2... 入力端子、
S1, S2... 振幅の微小な入力信号、
S3, S4... CMOSレベルの出力信号。



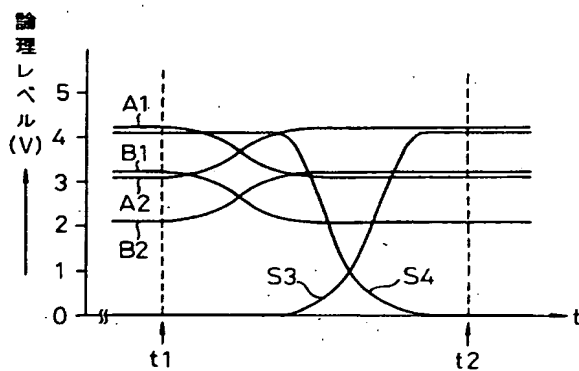
本発明の一実施例としての
レベル変換回路の構成を示す回路図

第 1 図



第1図回路が適用される構成例を示す図

第 2 図



第1図回路の動作を説明するための信号波形図

第 3 図